

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-150264

(43)Date of publication of application : 18.06.1993

(51)Int.Cl.

G02F 1/136

H01L 27/12

H01L 29/784

(21)Application number : 03-316915

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 29.11.1991

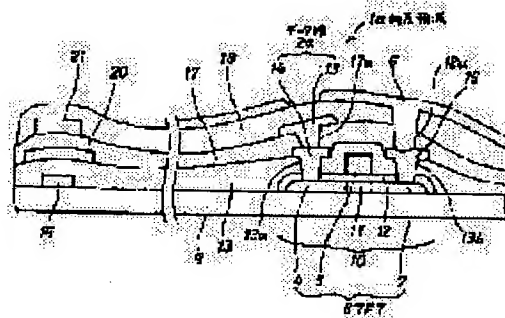
(72)Inventor : YUDASAKA KAZUO  
MATSUO MUTSUMI

## (54) LIQUID CRYSTAL PANEL WITH BUILT-IN DRIVER AND PRODUCTION THEREOF

(57)Abstract:

PURPOSE: To produce a liq. crystal display panel with a built-in driver capable of fitting to fine division of a picture element region.

CONSTITUTION: The circuit layers 19-21 of a driving circuit on a transparent substrate 9 has three-layered circuit structure and each pitch is narrow. The 1st layer 19 is an impurity doped polycrystalline Si layer formed simultaneously with the gate 5 of TFT 8, the 2nd layer 20 is a Cr layer formed simultaneously with a 1st data line 14 and the 3rd layer 21 is an Al layer formed simultaneously with a 2nd data line 15. The 1st data line 14 and the 2nd data line 15 form a data line 2a having double redundant circuit structure.



## LEGAL STATUS

[Date of request for examination] 20.08.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3064596

[Date of registration] 12.05.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] the gate line which connects conductively to the gate of TFT, and its source — connection of a lower layer side layer insulation film — with a matrix array equipped with the 2nd data line which connects conductively to the 1st data line connected conductively through a hole, and this data-line front face, and constitutes multiplex wiring structure A drive circuit equipped with the three-layer wiring structure where were driving this matrix array and each wiring layer was separated by the aforementioned lower layer side layer insulation film and the upper layer side layer insulation film between layers, It is the driver built-in liquid crystal display panel which has on a \*\* same transparent substrate and is characterized by at least one layer in the above 1st and the 2nd data line consisting of same material as the layer of either of each wiring layer by the side of the aforementioned drive circuit.

[Claim 2] It is the driver built-in liquid crystal display panel characterized by the wiring layers to which each of the 1st wiring layer by the side of the aforementioned drive circuit, 2nd wiring layer by the side of the aforementioned gate line and the aforementioned drive circuit, 1st data line of the above, and the 3rd wiring layer by the side of the aforementioned drive circuit and the 2nd data line of the above correspond in a claim 1 consisting of same material, respectively.

[Claim 3] It is the manufacture method of the driver built-in liquid crystal display panel characterized by using the same process for and carrying out simultaneously about the process using the same material between each process which is the manufacture method of the driver built-in liquid crystal display panel specified to a claim 1 or a claim 2, and forms each wiring layer by the side of the aforementioned drive circuit, and each process which forms the gate line by the side of the aforementioned matrix array, the 1st data line, and the 2nd data line.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention relates to the structure technology of the wiring layer about a liquid crystal display panel and its manufacture method.

[0002]

[Description of the Prior Art] Liquid crystal is enclosed between the transparent substrate of the one side in which the common electrode was formed, and the transparent substrate of the other side in which the matrix array equipped with many pixel fields was formed, and the liquid crystal display panel which is a typical flat panel type display controls the potential impressed between a common electrode and the pixel electrode of each pixel field, and changes the orientation state of the liquid crystal for every pixel field. The typical thing is the method which impresses predetermined signal potential to each pixel electrode using TFT (TFT), and the structure of the matrix array is shown in drawing 6. as shown in this drawing, TFT8 equipped with the source 4, a drain 7, and the gate 5 forms in the front-face side of the transparent substrate 51 — having — \*\*\*\* — the source 4 — connection of the layer insulation film 52 — a hole — while data-line 2a (signal line) connects conductively through 52a, the gate line (the scanning line/illustration of is not done) connects conductively to the gate 5 moreover — a drain 7 — connection of the layer insulation film 52 — a hole — the pixel electrode 6 which consists of ITO through 52b connects conductively. The equal circuit of such a matrix array of composition is expressed as shown in drawing 5. this equal circuit — setting — which pixel field — also setting — the data line Di the state where minded and the predetermined data signal was impressed to the source of TFTij — the gate of TFTij — gate line Gj from — impression of drive potential impresses predetermined signal potential to the liquid crystal display element Cij constituted by the pixel electrode and the common electrode. Thereby, potential is built over the liquid crystal of the liquid crystal display element Cij, and the orientation state of this liquid crystal changes.

[0003] here — the data line Di The data-line drive circuit 31 and the gate line Gj which supply a data signal the gate line drive circuit 32 which supplies a driving signal — each — TFTi and TFTj etc. — it is constituted, and since the number of leaders to the substrate exterior is sharply reducible, it is formed on the transparent substrate in which the matrix array was formed

[0004] And it sets in these drive circuits 31 and 32, and they are TFTi and TFTj. As shown in drawing 6, the wiring layer for making circuit connection is formed so that the 1st wiring layer 53, and the 2nd wiring layer 54 and the 3rd wiring layer 55 may constitute two-layer wiring structure through the layer insulation film 52 on the transparent substrate 9.

[0005]

[Problem(s) to be Solved by the Invention] Since it is in the situation that highly minute-ization of a display is also demanded, to the liquid crystal display panel of such composition in addition to enlargement and low-pricing of the screen and corresponds to this demand, it is in the inclination to which turn each pixel field minutely and the number of pixels is made to increase. However, in the conventional liquid crystal display panel, in order to make a pixel field detailed, there are the following troubles.

[0006] \*\* In order to correspond to detailed-ization of each pixel field, it is necessary to narrow the pitch between the elements which constitute the data-line drive circuit 31 and the gate line drive circuit 32. Although it is necessary to also reduce the pitch of each wiring layers 53, 54, and 55 to 10 micrometers or less at it, since wiring layers 53, 54, and 55 are superficially formed corresponding to arrangement of TFT which constitutes a drive circuit, there is a limitation in those \*\* pitch-ization.

[0007] \*\* Follow on detailed-ization of each pixel field, and it is the data line Di. And gate line Gj. The receiving restrictions increase, and while it has been the structure of the conventional liquid crystal panel, those reliability tends to fall. For example, the data line Di. If an open circuit occurs, each pixel fields of all corresponding to it will become a display defect. Then, although to adopt the redundant design of a wiring layer is desired to the conventional liquid crystal display panel, even if it adopts which redundant design, the number of processes will increase sharply and will bar low-pricing of a liquid crystal display panel.

[0008] It is in realizing the driver built-in liquid crystal display panel which can respond to detailed-ization and its manufacture method of a pixel field, without the technical problem of this invention not corresponding the above-mentioned trouble individually, but using a cure in those technical problems for in view of the above trouble, being, and sacrificing low-pricing.

[0009]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, the means provided in the driver built-in liquid crystal display panel of this invention the gate line which connects conductively to the gate of TFT, and its source — connection of a lower layer side layer insulation film — with a matrix array equipped with the 2nd data line which connects conductively to the 1st data line connected conductively through a hole, and this data-line front face, and constitutes the redundant wiring structure of multiplex wiring. While preparing a drive circuit equipped with the three-layer wiring structure where were driving this matrix array and each wiring layer was separated by the lower layer side layer insulation film and the upper layer side layer insulation film between layers, on the same transparent substrate. It is constituting at least one layer in the 1st and 2nd data lines from same material as the layer of either of each wiring layer by the side of a drive circuit. Here, upper layer sides and lower layer sides are made to correspond, respectively, and which layer of the 1st and 2nd data lines also constitutes from the same material, respectively, in constituting from same material as the layer of either of each wiring layer by the side of a drive circuit.

[0010] Here, it is desirable to constitute the wiring layers to which any of the 1st wiring layer by the side of a drive circuit, the 2nd wiring layer by the side of the aforementioned gate line and a drive circuit, the 1st data line, and the 3rd wiring layer by the side of a drive circuit and the 2nd data line correspond so that it may become the same material, respectively.

[0011] In the manufacture method of the liquid crystal display panel of such composition, between each process which forms each wiring layer by the side of a drive circuit, and each process which forms the gate line by the side of a matrix array, the 1st data line, and the 2nd data line, the same process is used for and it carries out simultaneously about the process using the same material.

[0012]

[Function] In this invention, since the wiring layer of the drive circuit formed on the same transparent substrate as a matrix array has three-layer wiring structure, the flexibility to arrangement of a wiring layer is large. Therefore, since the pitch between the elements for drive circuits can be narrowed, a drive circuit side can fully respond to detailed-ization of a matrix array. Moreover, since it is performed 3 times that a drive circuit is three-layer wiring structure, i.e., the process which forms the wiring layer of a drive circuit, the process suitable for forming the data line is used for, and the 1st data line or the 2nd data line is formed. So, the 1st data line and the 2nd data line are formed according to each process, and, unlike the manufacture method which makes the data line multiplex wiring structure, the data line equipped with multiplex wiring structure, i.e., redundant wiring structure, can be formed with the few number of processes.

[0013]

[Example] Next, the example of this invention is explained with reference to an accompanying

drawing.

[0014] [Example 1] Drawing 1 is the plan showing a part of matrix array of the driver built-in liquid crystal display panel concerning the example 1 of this invention, and a cross section [ in / the I-I line / in drawing 2 ]. Here, the same sign is given to the portion which has the same function as each portion of the conventional matrix array shown in drawing 6 .

[0015] this example is shown in drawing 1 — as — the vertical data lines 2a and 2b — as horizontal gate lines 3a and 3b as ... (signal line) ... (scanning line) wires in the shape of a grid — having — between them — each pixel fields 1a and 1b of a matrix array .. is formed

[0016] Below, pixel field 1a is taken for an example, and the structure is explained. In this pixel field 1a, TFT8 is formed by the source 4 which data-line 2a connects conductively, the gate 5 which gate line 3b connects conductively, and the drain 7 which the pixel electrode 6 connects conductively. Here, the pixel electrode 6 is a transparent electrode which consists of ITO, and is formed over the whole simultaneously surface of pixel field 1a. Moreover, while data-line 2a has two-layer structure which consists of a chromium layer by the side of a lower layer (the 1st data line), and an aluminum layer by the side of the upper layer (the 2nd data line), gate line 3b consists of impurity dope type polycrystal silicon layers.

[0017] As shown in drawing 2 , the polycrystal silicon layer 10 is formed in the front-face side of the transparent substrate 9 (glass substrate) which supports the whole liquid crystal display panel, Lynn as an n type impurity is introduced into the polycrystal silicon layer 10 except for the channel field 11 which is an intrinsic polycrystal silicon field, and, as for the cross-section structure of this TFT8, the source 4 and the drain 7 are formed. Here, by using the ion implantation which uses as a mask the gate 5 on the gate oxide film 12 formed in the front-face side of the polycrystal silicon layer 10, introduction of Lynn is performed so that the source 4 and a drain 7 may serve as a self aryne. the 1st layer insulation film 13 (lower layer side layer insulation film) which consists of a silicon oxide accumulates on the front-face side of this TFT8 — having — \*\*\*\* — it — the 1st connection — a hole — 13a and the 2nd connection — a hole — opening of the 13b is carried out the 1st connection of them — a hole — connection of the 2nd layer insulation film 17 (upper layer side layer insulation film) with which the 1st data line 14 which consisted of chromium layers connected conductively to the source 4, and was further formed in those front-faces side through 13a — a hole — the 2nd data line 15 which consisted of aluminum layers connects conductively to the front face of the 1st data line 14 through 17a. Thus, data-line 2a is constituted by the 1st and 2nd formed data lines 14 and 15, and data-line 2a has redundant wiring structure which consists of double structure. on the other hand — the 2nd connection of the 1st layer insulation film 13 — a hole — the connection which consisted of chromium layers through 13b and which it accumulates, and the electrode layer 16 connects conductively and penetrates the 2nd layer insulation film 17 and the 3rd layer insulation film 18 to the front-face side — a hole — the pixel electrode 6 which consists of ITO accumulates through 18a, and it connects conductively to the electrode layer 16. Thereby, impression of potential is attained to a drain 7 to the pixel electrode 6. Here, about the connection structure of the pixel electrode 6 and a drain 7, the structure which can use the thing which accumulates and consists of metal layers, such as a chromium layer, as an electrode layer 16, or the thing which consists of ITO layers, in addition the pixel electrode 6 connects conductively directly to a drain 7 is employable.

[0018] In this liquid crystal display panel, since data-line 2a consists of aluminum layers 15 in which the chromium layer 14 and this chromium layer 14 were formed at another process as below-mentioned, even if it assumes that the open-circuit portion was in each, unless the position of the open-circuit portion laps, it will not be in an open-circuit state as data-line 2a. That is, since a data signal is certainly impressed to all the pixel fields that data-line 2a connects even if restrictions of pixel field 2a turning minutely and the width of face of data-line 2a becoming narrow are added, since it has redundant wiring structure which has the relation whose other side complements the open-circuit state of one side, on this liquid crystal display panel, it is very hard to generate the line defect of a display.

[0019] Furthermore, the drive circuit (not shown) for driving a matrix array is also formed in the front-face side of this transparent substrate 9. This drive circuit is [ as opposed to / which pixel

field / as shown in drawing 5 / for an example of the equal circuit / in the equal circuit of a matrix array ] the data line  $D_i$ . It minds and predetermined signal potential is in the state which can be impressed to the source of TFT $_{ij}$ . And it is the gate line  $G_j$  to the gate of TFT $_{ij}$ . If the drive potential of a shell is impressed and it is impressed by the liquid crystal display element  $C_{ij}$  from which predetermined signal potential was constituted by the pixel electrode and the common electrode, potential will be built over the liquid crystal of the liquid crystal display element  $C_{ij}$ , the orientation state of this liquid crystal will change, and information will be displayed. Here, it is the data line  $D_i$ . The data-line drive circuit 31 and the gate line  $G_j$  which supply a data signal The gate line drive circuit 32 which supplies a gate signal All are formed in the periphery field of a transparent substrate. the composition For example, it sets in the data-line drive circuit 31. TFT $_i$  for controlling line memory 31a the source — picture signal  $S_p$  while being impressed — vertical synchronizing pulse  $S_v$  The perpendicular shift pulse  $\phi_1$  and  $\phi_2$  It has become possible only for a pulse duration toward the left of drawing 5 to the right to shift each stage of perpendicular shift register 31b to switch-on one by one. Thereby, it is a picture signal  $S_p$ . It is divided for every pixel and is the capacitor  $C_i$  for line memory. It is stored one by one. And these picture signals are the line switch signals  $SL$  impressed to the line switch TFT $_{Li}$ . It is based and is transmitted to each data line. On the other hand, since the gate drive circuit 32 side is also the same circuitry as abbreviation, although the explanation is omitted, the data-line drive circuit 31 and the gate drive circuit 32 are all constituted from TFT by which wiring connection was made by predetermined circuitry.

[0020] In this example, each wiring layer which makes wiring connection each TFT of these data-line drive circuits 31 and the gate line drive circuit 32 The 1st wiring layer 19 formed on the front face of the transparent substrate 9 as shown in drawing 2 , It has three-layer wiring structure which consists of the 2nd wiring layer 20 on the 1st layer insulation film 13 (lower layer side layer insulation film) formed in the front-face side, and the 3rd wiring layer 21 on the 2nd layer insulation film 17 (upper layer side layer insulation film) formed in the front-face side. therefore, the data lines 2a and 2b — the pitch between these wiring layers 19 and 20 that connect conductively to ... or the gate lines 3a and 3b, and 21 is narrow So, towards highly-minute-izing of the display screen, even if it is the case where it turns, minutely, a drive circuit side can fully respond a pixel field to the pitch of the pixel field which turned minutely. And since the formation field of a drive circuit itself can be narrowed, reduction-ization of panel size is also realizable.

[0021] Here, the 1st wiring layer 19 consists of impurity dope type polycrystal silicon layers by which simultaneous formation was carried out with the gate 5 and gate line 3b, the 2nd wiring layer 20 consists of chromium layers by which simultaneous formation was carried out with the 1st data line 14, and the 3rd wiring layer 21 consists of aluminum layers by which simultaneous formation was carried out with the 2nd data line 15.

[0022] The manufacture method of the matrix array of the liquid crystal display panel of this structure is explained with reference to drawing 3 .

[0023] Drawing 3 is the process cross section showing a part of manufacture method of a liquid crystal panel display.

[0024] First, on the front face of a glass substrate 9, as shown in drawing 3 (a), after making intrinsic polycrystal silicon layer 10a deposit, it oxidizes thermally and the gate oxide film 12 is formed by CVD.

[0025] Next, as shown in drawing 3 (b), after forming the polycrystal silicon layer of a phosphorus dope in these front-faces side by CVD, patterning is carried out, and they are the gate 5 and the gate lines 3a and 3b... It reaches and leaves the 1st wiring layer 19. The ion implantation of  $Li$  is carried out by using the gate 5 as a mask, and the source 4 and a drain 7 are electric-conduction-ized next. Here, an intrinsic polycrystal silicon portion is left behind directly under the gate 5, and this serves as the channel field 11.

[0026] Thus, after forming TFT8 with TFT by the side of a drive circuit (not shown), the 1st layer insulation film 13 is made to deposit on these front-faces side by CVD etc., as shown in drawing 3 (c). after that — the upper part position of the source 4 and a drain 7 — the 1st connection — hole 13a and the 2nd connection — a hole — 13b is formed the same — a drive circuit side —

— a position — connection — a hole is formed Next, after putting a chromium layer on these front-faces side by the spatter and forming a whole surface chromium layer, by the etching reagent for chromium which blended the 2nd cerium-nitrate ammonium etc., chemical etching is given, the 1st data line 14 and the 2nd attain to a whole surface chromium layer wiring layer 20, a predetermined field accumulates on it, where a \*\*\*\* resist mask layer is formed \*\*\*\* this morning, and it leaves the electrode layer 16.

[0027] after making the 2nd layer insulation film 17 deposit on those front-faces side by CVD etc. as shown in drawing 3 (d) next — connection — a hole — 17a is formed here — the position by the side of a drive circuit — connection — a hole is formed Furthermore, after putting an aluminum layer on these front-faces side by the spatter and forming a whole surface aluminum layer, a predetermined field forms a \*\*\*\* resist mask layer \*\*\*\* this morning. In this state, by the etching reagent for aluminum which blended phosphoric acid, the nitric acid, etc., chemical etching is given to a whole surface aluminum layer, and the 2nd data line 15 and the 3rd wiring layer 21 are formed.

[0028] after [ next, ] making the 3rd layer insulation film 18 deposit by CVD etc. on these front faces — connection — a hole — 18a is formed And after putting an ITO layer by the spatter, where the resist mask layer which \*\*\*\*\*(ed) the predetermined field is formed on the front face, as chemical etching is given to an ITO layer and it is shown in drawing 2 by the etching reagent for ITO which blended the hydrochloric acid, the nitric acid, etc., it leaves the pixel electrode layer 6.

[0029] Thus, in this example, the 2nd data line 15 which consists of an aluminum layer which can etch the 1st data line 14 which consists of a chromium layer by the etching reagent of the phosphoric acid which does not have etching capacity in an upper layer side to a chromium layer, and a nitric-acid system is adopted as a lower layer side in making data-line 2a into double structure. Therefore, even if the resist mask layer for forming the 2nd data line 15 has a defect and an open-circuit portion occurs in the 2nd data line 15, an open-circuit portion does not occur in the 1st data line 14 by the side of a lower layer.

[0030] For this reason, unless an open-circuit portion occurs in the homotopic of the 1st and 2nd data lines 14 and 15, as for a bird clapper, the data-line 2a itself will be in an open-circuit state. Therefore, in the liquid crystal display panel of this example, it is hard to generate the line defect of the display resulting from an open circuit of data-line 2a. And the 1st and 2nd data lines 14 and 15 use the formation process of the 2nd wiring layer 20 and the 3rd wiring layer 21 for among the wiring layers which constitute a drive circuit, and are carrying out simultaneous formation with those wiring layers 20 and 21. Furthermore, the gate 5 and the gate lines 3a and 3b ... Also to a formation process, the formation process of the 1st wiring layer 19 is used for, and they are formed simultaneously. And since any layer insulation films 13, 17, and 18 are similarly arranged by the drive circuit and matrix array side, those formation processes are also mutually used for. for this reason, the data lines 2a and 2b of a liquid crystal display panel — since it has stopped to the minimum that a manufacturing process increases even if it adopts redundant wiring structure as ..., it also has the cost correspondence force And since the formation field of data-line 2a is not extended and the numerical aperture is maintained, display quality does not deteriorate.

[0031] [Example 2] Next, the liquid crystal display panel concerning the example 2 of this invention is explained with reference to drawing 4 .

[0032] Drawing 4 is the cross section of the matrix array of the driver built-in liquid crystal display panel concerning an example 2, about the portion which has the function which is common into each portion of the driver built-in liquid crystal display panel concerning an example 1, attaches a same sign and omits those explanation. In addition, the flat surface of this matrix array has the same composition as drawing 1 and abbreviation.

[0033] in the liquid crystal display panel of this example, the 1st layer insulation film 13 (lower layer side layer insulation film) forms in the front-face side of TFT8 formed on the transparent substrate 9 — having — \*\*\*\* — the connection — a hole — the 1st data line 14 which consists of a chromium layer connects conductively to the source 4 of TFT8 through 13a And the 2nd data line 15 which consists of an aluminum layer connects conductively to the front-



face side of the 1st data line 14 directly, and the 2nd data line 15 is not formed on the layer insulation film. here — the gate 5 and the gate lines 3a and 3b — each ... consists of an impurity dope type polycrystal silicon layer like an example 1

[0034] On the other hand, it sets to a drive circuit side. the 1st wiring layer 19 It consists of impurity dope type polycrystal silicon layers by which simultaneous formation was carried out with ... the gate 5 and the gate lines 3a and 3b — The 2nd wiring layer 20 on the 1st layer insulation film 13 formed in the front-face side Consisting of aluminum layers by which simultaneous formation was carried out with the 2nd data line 15, the 3rd wiring layer 21 on the 2nd layer insulation film 17 formed in the front-face side consists of ITO layers by which simultaneous formation was carried out with the pixel electrode 6. since [ namely, ] each wiring layers 19, 20, and 21 which constitute drive circuits, such as a data-line drive circuit and a gate line drive circuit, have three-layer wiring structure — the data lines 2a and 2b — the pitch between the wiring layers for transmitting a signal to ... or the gate lines 3a and 3b is narrow So, towards highly-minute-izing of the display screen, even if it is the case where it turns, minutely, a drive circuit side can fully respond a pixel field to the size of the pixel field which turned minutely. And since the formation field of a drive circuit is narrow, reduction-ization of panel size is also realizable. in addition, in this example, the pixel electrode 6 is formed on the 2nd layer insulation film 17 — having — the connection — a hole — although it accumulates and being connected conductively to the electrode layer 16, the structure which consists of a chromium layer or an ITO layer through 17b and which replaces with this structure and the pixel electrode 6 connects conductively to a drain 7 directly is also possible

[0035] the liquid crystal display panel of such composition — also setting — the data lines 2a and 2b — since it has redundant wiring structure which consists of multiplex wiring with which each ... consists of the 1st data line 14 and the 2nd data line 15, even if an open circuit occurs in either like an example 1 — the data lines 2a and 2b ... a bird clapper does not have self in an open circuit

[0036] In addition, also in the manufacture method of the liquid crystal display panel of this example, a process is mutually used for about the processes which form a layer using the same material among the processes which form an each wiring layer [ by the side of a drive circuit ] 19, 20, and 21, and matrix array side. Namely, the formation process of the 1st wiring layer 19 using the same impurity dope type polycrystal silicon, The gate 5 and gate lines 3a and 3b ... A formation process is made into the same process. The formation process of the pixel electrode 6 using the same ITO and the formation process of the 3rd wiring layer 21 are performed as the same process by making the formation process of the 2nd data line 15 using the same aluminum, and the formation process of the 2nd wiring layer 20 into the same process.

[0037] thus — since three processes in the process which forms a drive circuit can be used for also in this example, the layer by the side of a matrix array can be formed and the 2nd data line 15 which constitutes redundant wiring structure by one of processes of they is formed, without it increases the number of manufacturing processes superfluously — signal-line 2a.2b of redundant wiring structure ... can be formed

[0038] In addition, if at least one layer in the 1st and 2nd data lines other than the combination of the material used for the liquid crystal display panel concerning an example 1 and an example 2 consists of same material as the layer of either of each wiring layer by the side of a drive circuit For example, the gate 5 and the gate lines 3a and 3b ... An impurity dope type polycrystal silicon layer, While using a chromium layer for the 1st data line 14 and using an aluminum layer for the 2nd data line 15 the 1st wiring layer 19 — the gate 5 and the gate lines 3a and 3b — the impurity dope type polycrystal silicon layer of a different kind from ... the 2nd wiring layer 20 — the gate 5 and the gate lines 3a and 3b — you may use the same aluminum layer as the 2nd data line 15 for the same impurity dope type polycrystal silicon layer of a kind as ..., and the 3rd wiring layer 21 in this case, the process which forms the 2nd wiring layer 20, and the gate 5 and the gate lines 3a and 3b — the process which forms ... is simultaneously performed as the same process, and the process which forms the 3rd wiring layer 21, and the process which forms the 2nd data line 15 are simultaneously performed as the same process

[0039] Moreover, the gate 5 and the gate lines 3a and 3b ... An impurity dope type polycrystal

silicon layer, While using an aluminum layer for the 1st data line 14 and using an aluminum layer also for the 2nd data line 15 the 1st wiring layer 19 — the gate 5 and the gate lines 3a and 3b — you may use the same aluminum layer as the 2nd data line 15 for the same impurity dope type polycrystal silicon layer of a kind as ..., the aluminum layer same to the 2nd wiring layer 20 as the 1st data line 14, and the 3rd wiring layer 21 in this case, the process which forms the 1st wiring layer 19, and the gate 5 and the gate lines 3a and 3b — the process which forms ..., the process which forms the 2nd wiring layer 20, the process which forms the 1st data line 14 and the process which forms the 3rd wiring layer 21, and the process which forms the 2nd data line 15 are simultaneously performed as the same process

[0040] Furthermore, an impurity dope type polycrystal silicon layer etc. can also be used also to the 1st data line.

[0041] In addition, each field of a liquid crystal display panel, arrangement of each class, a configuration, etc. are the things of the property which should be set as predetermined conditions by the size of the liquid crystal display panel which should be manufactured, the use, etc., and do not have limitation.

[0042]

[Effect of the Invention] In the liquid crystal display panel applied to this invention as above The matrix array equipped with the data line of the double wiring structure which consists of the 1st and 2nd data lines on the same transparent substrate, Since it has the feature in the drive circuit of three-layer wiring structure being formed, and simultaneous formation of at least one layer in the 1st and 2nd data lines being carried out with the layer of either of each wiring layer by the side of a drive circuit, and consisting of same material, the following effects are done so.

[0043] \*\* Since the wiring layer of a drive circuit has three-layer wiring structure and the pitch between each wiring layer can be narrowed, it can fully respond to detailed-ization of a matrix array, and highly minute-ization of a liquid crystal display panel can be realized. Moreover, the size of a liquid crystal display panel can be reduced, without narrowing the area of a display, since the formation field of a drive circuit is narrow.

[0044] \*\* Since it performs 3 times that a drive circuit is three-layer wiring structure, i.e., the process which forms the wiring layer of a drive circuit, the process suitable for forming the data line of double wiring structure can be used for, and the 1st data line or the 2nd data line can be formed. Therefore, unlike the manufacture method which forms the 1st data line and the 2nd data line according to each process, the data line of redundant wiring structure can be formed with the few number of processes.

[0045] \*\* When simultaneous formation of any wiring layers to which the wiring layer by the side of a drive circuit and the wiring layer by the side of a matrix array correspond is carried out with the same material, the three-layer wiring structure of a drive circuit and the redundant wiring structure of the data line can be formed with the minimum number of processes.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] It is the plan showing a part of matrix array of the driver built-in liquid crystal display panel concerning the example 1 of this invention.

[Drawing 2] It is a cross section in the I-I line of drawing 1.

[Drawing 3] (a) Or it is the process cross section in which all of (d) show a part of manufacturing process of the matrix array of the driver built-in liquid crystal display panel concerning the example 1 of this invention.

[Drawing 4] It is the cross section showing a part of matrix array of the driver built-in liquid crystal display panel concerning the example 2 of this invention.

[Drawing 5] It is the representative circuit schematic showing typically the matrix array and drive circuit of a driver built-in liquid crystal display panel.

[Drawing 6] It is the cross section showing a part of matrix array of the conventional driver built-in liquid crystal display panel.

[Description of Notations]

1a, 1b ... Pixel field

2a, 2b ... Data line

3a, 3b ... Gate line

4 ... Source

5 ... Gate

6 ... Pixel electrode

7 ... Drain

8 ... TFT

13 ... 1st layer insulation film (lower layer side layer insulation film)

14 ... The 1st data line

15 ... The 2nd data line

17 ... 2nd layer insulation film (upper layer side layer insulation film)

19 ... The 1st wiring layer

20 ... The 2nd wiring layer

21 ... The 3rd wiring layer

---

[Translation done.]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-150264

(43)公開日 平成5年(1993)6月18日

(51)Int.Cl. <sup>5</sup>	識別記号	片内整理番号	FI	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
H 0 1 L 27/12	A	8728-4M		
29/784		9056-4M	H 0 1 L 29/ 78	3 1 1 A

審査請求 未請求 請求項の数3(全 8 頁)

(21)出願番号 特願平3-316915

(22)出願日 平成3年(1991)11月29日

(71)出願人 000002369

セイコーエプソン株式会社  
東京都新宿区西新宿2丁目4番1号

(72)発明者 湯田坂 一夫

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72)発明者 松尾 睦

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

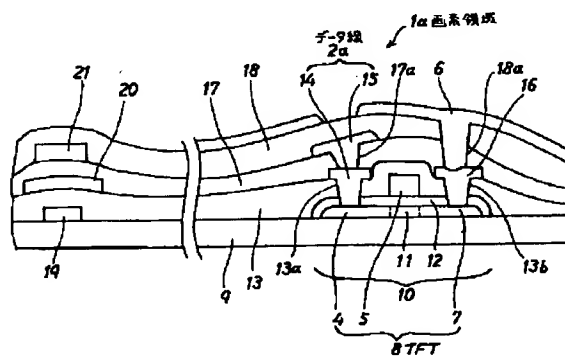
(74)代理人 弁理士 山田 稔

(54)【発明の名称】 ドライバ内蔵型液晶表示パネルおよびその製造方法

(57)【要約】

【目的】 画素領域の微細化に対応可能なドライバ内蔵型液晶表示パネルおよびその製造方法を実現すること。

【構成】 透明基板9上の駆動回路の配線層19~21は、3層配線構造になっており、各ピッチが狭い。ここで、第1の配線層19はTFT8のゲート5と同時形成された不純物ドーパ型の多結晶シリコン層、第2の配線層20は第1のデータ線14と同時形成されたクロム層、第3の配線層21は第2のデータ線15と同時形成されたアルミニウム層からなる。ここで、第1のデータ線14と第2のデータ線15とは2重の冗長配線構造のデータ線を構成している。



## 【特許請求の範囲】

【請求項1】 薄膜トランジスタのゲートに導電接続するゲート線、そのソースに下層側層間絶縁膜の接続孔を介して導電接続する第1のデータ線およびこのデータ線表面に導電接続して多重配線構造を構成する第2のデータ線を備えるマトリクスアレイと、このマトリクスアレイを駆動しており、各配線層が前記下層側層間絶縁膜および上層側層間絶縁膜によって層間分離された3層配線構造を備える駆動回路と、を同一透明基板上に有し、前記第1および第2のデータ線のうちの少なくとも1層は、前記駆動回路側の各配線層のうちのいずれかの層と同一材料から構成されていることを特徴とするドライバ内蔵型液晶表示パネル。

【請求項2】 請求項1において、前記駆動回路側の第1の配線層と前記ゲート線、前記駆動回路側の第2の配線層と前記第1のデータ線、および前記駆動回路側の第3の配線層と前記第2のデータ線は、いずれも対応する配線層同士がそれぞれ同一材料から構成されていることを特徴とするドライバ内蔵型液晶表示パネル。

【請求項3】 請求項1または請求項2に規定するドライバ内蔵型液晶表示パネルの製造方法であって、前記駆動回路側の各配線層を形成する各工程と、前記マトリクスアレイ側のゲート線、第1のデータ線および第2のデータ線を形成する各工程との間で、同一材料を用いる工程については、同一工程を援用して同時に行うことを特徴とするドライバ内蔵型液晶表示パネルの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は液晶表示パネルおよびその製造方法に関し、特に、その配線層の構造技術に関する。

## 【0002】

【従来の技術】 代表的なフラットパネル型ディスプレイである液晶表示パネルは、共通電極が形成された一方側の透明基板と、多数の画素領域を備えるマトリクスアレイが形成された他方側の透明基板との間に液晶が封入されており、共通電極と各画素領域の画素電極との間に印加される電位を制御して、画素領域毎の液晶の配向状態を変えるようになっている。その代表的なものがTFT（薄膜トランジスタ）を利用して、所定の信号電位を各画素電極に印加する方式であり、そのマトリクスアレイの構造を図6に示す。この図に示すように、透明基板51の表面側には、ソース4、ドレイン7およびゲート5を備えるTFT8が形成されており、そのソース4には層間絶縁膜52の接続孔52aを介してデータ線2a（信号線）が導電接続している一方、ゲート5にはゲート線（走査線／図示せず）が導電接続している。また、ドレイン7には、層間絶縁膜52の接続孔52bを介してITOからなる画素電極6が導電接続している。このような構成のマトリクスアレイの等価回路は、たとえ

ば、図5に示すように表される。この等価回路において、いずれの画素領域においても、データ線 $D_i$ を介して所定のデータ信号がTFT $ij$ のソースに印加された状態で、TFT $ij$ のゲートにゲート線 $G_j$ からの駆動電位が印加されると、画素電極と共通電極とによって構成された液晶表示素子 $C_{ij}$ に所定の信号電位が印加される。これにより、液晶表示素子 $C_{ij}$ の液晶に電位がかかり、この液晶の配向状態が変化する。

【0003】 ここで、データ線 $D_i$ にデータ信号を供給するデータ線駆動回路31およびゲート線 $G_j$ に駆動信号を供給するゲート線駆動回路32は、いずれも、TFT $i$ 、TFT $j$ などによって構成されており、基板外部への引出し線数を大幅に削減できることから、マトリクスアレイが形成された透明基板上に形成されている。

【0004】 そして、これらの駆動回路31、32において、TFT $i$ 、TFT $j$ を回路接続するための配線層は、図6に示すように、透明基板9上において、第1の配線層53と、第2の配線層54および第3の配線層55とが層間絶縁膜52を介して2層配線構造を構成するように形成されている。

## 【0005】

【発明が解決しようとする課題】 このような構成の液晶表示パネルに対しては、表示面の大型化や低価格化に加えて、表示の高精細化も要求されている状況にあって、この要求に対応するために、各画素領域を微細化して画素数を増加させていく傾向にある。しかしながら、従来の液晶表示パネルにおいて、画素領域を微細化するには、以下の問題点がある。

【0006】 ① 各画素領域の微細化に対応するには、データ線駆動回路31およびゲート線駆動回路32を構成する素子間のピッチを狭める必要がある。それには、各配線層53、54、55のピッチも、たとえば10 $\mu$ m以下にまで縮小する必要があるが、配線層53、54、55は、駆動回路を構成するTFTの配置に対応して平面的に形成されているため、それらの狭ピッチ化には限界がある。

【0007】 ② 各画素領域の微細化にともなって、データ線 $D_i$ およびゲート線 $G_j$ に対する制約が増え、従来の液晶パネルの構造のままでは、それらの信頼性が低下しやすい。たとえば、データ線 $D_i$ に断線が発生すると、それに対応する各画素領域はすべて表示欠陥になる。そこで、従来の液晶表示パネルに対して、配線層の冗長設計を採用することが望まれているが、いずれの冗長設計を採用しても、工程数が大幅に増加して、液晶表示パネルの低価格化を妨げてしまう。

【0008】 以上の問題点に鑑みて、本発明の課題は、上記問題点を個別的に対応するのではなく、それらの課題に対する対策を援用しあつて、低価格化を犠牲とすることなく、画素領域の微細化に対応可能なドライバ内蔵型液晶表示パネルおよびその製造方法を実現することに

ある。

#### 【0009】

【課題を解決するための手段】上記課題を解決するために、本発明のドライバ内蔵型液晶表示パネルにおいて講じた手段は、薄膜トランジスタのゲートに導電接続するゲート線、そのソースに下層側層間絶縁膜の接続孔を介して導電接続する第1のデータ線およびこのデータ線表面に導電接続して多重配線の冗長配線構造を構成する第2のデータ線を備えるマトリクスアレイと、このマトリクスアレイを駆動しており、各配線層が下層側層間絶縁膜および上層側層間絶縁膜によって層間分離された3層配線構造を備える駆動回路とを同一透明基板上に設けると共に、第1および第2のデータ線のうちの少なくとも1層を、駆動回路側の各配線層のうちのいずれかの層と同一材料から構成することである。ここで、第1および第2のデータ線のいずれの層についても、駆動回路側の各配線層のうちのいずれかの層と同一材料から構成する場合には、それぞれ上層側同士および下層側同士を対応させて、それぞれ同一材料から構成する。

【0010】ここで、駆動回路側の第1の配線層と前記ゲート線、駆動回路側の第2の配線層と第1のデータ線、および駆動回路側の第3の配線層と第2のデータ線のいずれの対応する配線層同士も、それぞれ同一材料となるように構成することが好ましい。

【0011】このような構成の液晶表示パネルの製造方法においては、駆動回路側の各配線層を形成する各工程と、マトリクスアレイ側のゲート線、第1のデータ線および第2のデータ線を形成する各工程との間で、同一材料を用いる工程については、同一工程を援用して同時に行う。

#### 【0012】

【作用】本発明においては、マトリクスアレイと同一透明基板上に形成された駆動回路の配線層が3層配線構造になっているため、配線層の配置に対する自由度が大きい。従って、駆動回路用素子間のピッチを狭くできるので、駆動回路側はマトリクスアレイの微細化に十分に対応できる。また、駆動回路が3層配線構造であること、すなわち、駆動回路の配線層を形成する工程が3回行われるため、そのうち、データ線を形成するのに適した工程を援用して、第1のデータ線または第2のデータ線を形成する。それ故、第1のデータ線および第2のデータ線を個々の工程により形成して、データ線を多重配線構造とする製造方法と異なり、多重配線構造、すなわち冗長配線構造を備えたデータ線を、少ない工程数で形成できる。

#### 【0013】

【実施例】次に、本発明の実施例について、添付図面を参照して説明する。

【0014】〔実施例1〕図1は本発明の実施例1に係るドライバ内蔵型液晶表示パネルのマトリクスアレイ

の一部を示す平面図、図2はそのI-I線における断面図である。ここで、図6に示した従来のマトリクスアレイの各部分と同じ機能を有する部分には、同符号を付してある。

【0015】この実施例は、図1に示すように、垂直方向のデータ線2a、2b・・・(信号線)と、水平方向のゲート線3a、3b・・・(走査線)とが格子状に配線され、それらの間にマトリクスアレイの各画素領域1a、1b・・・が形成されている。

10 【0016】以下に画素領域1aを例にとって、その構造を説明する。この画素領域1aにおいて、データ線2aが導電接続するソース4、ゲート線3bが導電接続するゲート5、および画素電極6が導電接続するドレイン7によって、TFT8が形成されている。ここで、画素電極6は、ITOからなる透明電極であって、画素領域1aのほぼ全面にわたって形成されている。また、データ線2aは、下層側のクロム層(第1のデータ線)および上層側のアルミニウム層(第2のデータ線)からなる2層構造になっている一方、ゲート線3bは、不純物ドーパ型多結晶シリコン層から構成されている。

20 【0017】このTFT8の断面構造は、図2に示すように、液晶表示パネル全体を支持する透明基板9(ガラス基板)の表面側に多結晶シリコン層10が形成されており、多結晶シリコン層10には、真性の多結晶シリコン領域であるチャネル領域11を除いて、n型の不純物としてのリンが導入されて、ソース4およびドレイン7が形成されている。ここで、リンの導入は、多結晶シリコン層10の表面側に形成されたゲート酸化膜12の上のゲート5をマスクとするイオン注入を利用することにより、ソース4およびドレイン7がセルフアラインとなるように行われる。このTFT8の表面側には、シリコン酸化膜からなる第1の層間絶縁膜13(下層側層間絶縁膜)が堆積されており、それには第1の接続孔13aと第2の接続孔13bとが開けられている。そのうちの第1の接続孔13aを介して、クロム層から構成された第1のデータ線14がソース4に導電接続し、さらに、それらの表面側に形成された第2の層間絶縁膜17(上層側層間絶縁膜)の接続孔17aを介して、アルミニウム層から構成された第2のデータ線15が第1のデータ線14の表面に導電接続している。このように形成された第1および第2のデータ線14、15によってデータ線2aが構成され、データ線2aは2重構造からなる冗長配線構造になっている。一方、第1の層間絶縁膜13の第2の接続孔13bを介しては、クロム層から構成された積み上げ電極層16が導電接続しており、その表面側においては、第2の層間絶縁膜17および第3の層間絶縁膜18を貫通する接続孔18aを介して、ITOからなる画素電極6が積み上げ電極層16に導電接続している。これにより、ドレイン7から画素電極6に対して電位が印加可能になっている。ここで、画素電極6とド

レイン7の接続構造については、積み上げ電極層16として、クロム層などの金属層から構成されているもの、またはITO層から構成されているものなどを利用して、その他、画素電極6がドレイン7に対して直接に導電接続する構造なども採用できる。

【0018】この液晶表示パネルにおいては、後述のとおり、データ線2aは、クロム層14と、このクロム層14とは別工程で形成されたアルミニウム層15とで構成されているため、それぞれに断線部分があったと仮定しても、その断線部分の位置が重ならない限り、データ線2aとしては断線状態にはならない。すなわち、一方側の断線状態を他方側が補完する関係にある冗長配線構造になっているため、画素領域2aが微細化され、データ線2aの幅が狭くなるなどの制約が加わっても、データ線2aが接続する全ての画素領域に対し、確実にデータ信号が印加されるので、この液晶表示パネルには表示のライン欠陥が極めて発生しにくい。

【0019】さらに、この透明基板9の表面側には、マトリクスアレイを駆動するための駆動回路(図示せず)も形成されている。この駆動回路は、その等価回路の一例をマトリクスアレイの等価回路と共に図5に示すように、いずれの画素領域に対しても、データ線 $D_i$ を介して所定の信号電位が $TFT_{ij}$ のソースに印加可能な状態になっている。そして、 $TFT_{ij}$ のゲートにゲート線 $G_j$ からの駆動電位が印加されて、所定の信号電位が画素電極と共通電極とによって構成された液晶表示素子 $C_{ij}$ に印加されると、液晶表示素子 $C_{ij}$ の液晶に電位がかかり、この液晶の配向状態が変化して、情報を表示する。ここで、データ線 $D_i$ にデータ信号を供給するデータ線駆動回路31およびゲート線 $G_j$ にゲート信号を供給するゲート線駆動回路32は、いずれも透明基板の外周領域に形成されており、その構成は、たとえば、データ線駆動回路31においては、ラインメモリ31aを制御するための $TFT_i$ のソースには画像信号 $S_p$ が印加されるようになっている一方、垂直同期パルス $S_v$ と垂直シフトパルス $\phi_1, \phi_2$ とによって、垂直シフトレジスタ31bの各段が、図5の左から右に向かって、順次、パルス持続期間だけ導通状態に移行可能になっている。これにより、画像信号 $S_p$ は、1画素毎に区切られてラインメモリ用コンデンサ $C_i$ に順次蓄えられる。そして、これらの画像信号は、ラインスイッチ $TFT_{Li}$ に印加されたラインスイッチ信号 $S_L$ に基づいて各データ線に転送される。一方、ゲート駆動回路32の側も略同様な回路構成であるため、その説明は省略するが、データ線駆動回路31およびゲート駆動回路32は、いずれも所定の回路構成に配線接続された $TFT$ などから構成されている。

【0020】本例において、これらのデータ線駆動回路31およびゲート線駆動回路32の各 $TFT$ を配線接続する各配線層は、図2に示すように、透明基板9の表面

上に形成された第1の配線層19と、その表面側に形成された第1の層間絶縁膜13(下層側層間絶縁膜)上の第2の配線層20と、その表面側に形成された第2の層間絶縁膜17(上層側層間絶縁膜)上の第3の配線層21とからなる3層配線構造になっている。従って、データ線2a, 2b...またはゲート線3a, 3bに導電接続するこれらの配線層19, 20, 21間のピッチが狭い。それ故、表示画面の高精細化に向けて画素領域を微細化した場合であっても、微細化された画素領域のピッチに駆動回路側が十分に対応することができる。しかも、駆動回路の形成領域自身を狭くできるので、パネルサイズの縮小化をも実現できる。

【0021】ここで、第1の配線層19は、ゲート5およびゲート線3bと同時形成された不純物ドーパ型の多結晶シリコン層から構成され、第2の配線層20は、第1のデータ線14と同時形成されたクロム層から構成され、第3の配線層21は、第2のデータ線15と同時形成されたアルミニウム層から構成されている。

【0022】かかる構造の液晶表示パネルのマトリックスアレイの製造方法を、図3を参照して説明する。

【0023】図3は、液晶パネル表示の製造方法の一部を示す工程断面図である。

【0024】まず、図3(a)に示すように、ガラス基板9の表面上にCVD法により、真性の多結晶シリコン層10aを堆積させた後に、熱酸化を施して、ゲート酸化膜12を形成する。

【0025】次に、図3(b)に示すように、これらの表面側にリンドープの多結晶シリコン層をCVD法により形成した後、パターニングしてゲート5、ゲート線3a, 3b...および第1の配線層19を残す。この後に、ゲート5をマスクとしてリンをイオン注入して、ソース4およびドレイン7を導電化する。ここで、ゲート5の直下には真性の多結晶シリコン部分が残され、これがチャネル領域11となる。

【0026】このようにして、 $TFT_8$ を、駆動回路側の $TFT$ (図示せず)と共に形成した後、これらの表面側に、図3(c)に示すように、CVD法などにより第1の層間絶縁膜13を堆積させる。その後に、ソース4およびドレイン7の上方位置に第1の接続孔13aおよび第2の接続孔13bを形成する。同様に、駆動回路側にも所定の位置に接続孔が形成される。次に、これらの表面側にクロム層をスパッタ法により被着して、全面クロム層を形成した後、所定の領域が窓開けされたレジストマスク層を形成した状態で、第2硝酸セリウムアンモニウムなどを配合したクロム用エッチング液で、全面クロム層に化学エッチングを施して第1のデータ線14、第2の配線層20および積み上げ電極層16を残す。

【0027】つぎに、図3(d)に示すように、それらの表面側に、CVD法などにより第2の層間絶縁膜17



を堆積させた後に、接続孔17aを形成する。ここでも、駆動回路側の所定の位置に接続孔が形成される。さらに、これらの表面側にアルミニウム層をスパッタ法により被着して、全面アルミニウム層を形成した後に、所定の領域が窓開けされたレジストマスク層を形成する。この状態で、燐酸、硝酸などを配合したアルミニウム用エッチング液で、全面アルミニウム層に化学エッチングを施して、第2のデータ線15および第3の配線層21を形成する。

【0028】次に、これらの表面上に、CVD法などにより第3の層間絶縁膜18を堆積させた後に、接続孔18aを形成する。そして、スパッタ法によりITO層を被着した後、その表面上に所定領域を窓開けしたレジストマスク層を形成した状態で、塩酸、硝酸などを配合したITO用エッチング液により、ITO層に化学エッチングを施して、図2に示すように、画素電極層を残す。

【0029】このように、本例においては、データ線2aを2重構造とするにあたり、下層側にはクロム層からなる第1のデータ線14を、上層側にはクロム層に対してエッチング能力がない燐酸、硝酸系のエッチング液でエッチング可能なアルミニウム層からなる第2のデータ線15を採用している。従って、第2のデータ線15を形成するためのレジストマスク層に欠陥があっても、第2のデータ線15に断線部分が発生しても、下層側の第1のデータ線14には、断線部分が発生しない。

【0030】このため、第1および第2のデータ線14、15の同位置に断線部分が発生しない限り、データ線2a自身が断線状態になることがない。従って、本例の液晶表示パネルにおいては、データ線2aの断線に起因する表示のライン欠陥が発生しにくい。しかも、第1および第2のデータ線14、15は、駆動回路を構成する配線層のうち、第2の配線層20および第3の配線層21の形成工程を援用して、それらの配線層20、21と同時に形成している。さらに、ゲート5およびゲート線3a、3b・・・の形成工程に対しても、第1の配線層19の形成工程を援用して、それらを同時に形成している。しかも、いずれの層間絶縁膜13、17、18も駆動回路側とマトリクスアレイ側とで、同様に配置されているため、それらの形成工程も援用し合っている。このため、液晶表示パネルのデータ線2a、2b・・・に冗長配線構造を採用しても、製造工程が増えるのを最小限に止めているので、コスト対応力をも備える。しかも、データ線2aの形成領域は拡張されていないため、開口率が維持されているので、表示品質が低下しない。

【0031】〔実施例2〕次に、本発明の実施例2に係る液晶表示パネルについて、図4を参照して説明する。

【0032】図4は実施例2に係るドライバ内蔵型液晶表示パネルのマトリクスアレイの断面図であり、実施例1に係るドライバ内蔵型液晶表示パネルの各部分と共

通する機能を有する部分については、同符号を付して、それらの説明を省略する。なお、このマトリクスアレイの平面は図1と略同様な構成になっている。

【0033】本例の液晶表示パネルにおいては、透明基板9上に形成されたTF T 8の表面側には、第1の層間絶縁膜13（下層側層間絶縁膜）が形成されており、その接続孔13aを介して、クロム層からなる第1のデータ線14がTF T 8のソース4に導電接続している。そして、第1のデータ線14の表面側には、アルミニウム層からなる第2のデータ線15が直接に導電接続しており、第2のデータ線15は層間絶縁膜上には形成されていない。ここで、ゲート5およびゲート線3a、3b・・・はいずれも、実施例1と同様に不純物ドーパ型の多結晶シリコン層からなる。

【0034】一方、駆動回路側においては、第1の配線層19は、ゲート5およびゲート線3a、3b・・・と同時に形成された不純物ドーパ型の多結晶シリコン層から構成され、その表面側に形成された第1の層間絶縁膜13上の第2の配線層20は、第2のデータ線15と同時に形成されたアルミニウム層から構成され、その表面側に形成された第2の層間絶縁膜17上の第3の配線層21は、画素電極6と同時に形成されたITO層から構成されている。すなわち、データ線駆動回路およびゲート線駆動回路などの駆動回路を構成する各配線層19、20、21は、3層配線構造になっているため、データ線2a、2b・・・またはゲート線3a、3bに信号を転送するための配線層間のピッチが狭い。それ故、表示画面の高精細化に向けて、画素領域を微細化した場合であっても、微細化された画素領域のサイズに駆動回路側が十分に対応することができる。しかも、駆動回路の形成領域が狭いので、パネルサイズの縮小化をも実現できる。なお、本例において、画素電極6は、第2の層間絶縁膜17上に形成されて、その接続孔17bを介して、クロム層またはITO層などからなる積み上げ電極層16に導電接続しているが、この構造に代えて、画素電極6がドレイン7に直接に導電接続する構造も可能である。

【0035】このような構成の液晶表示パネルにおいても、データ線2a、2b・・・は、いずれも第1のデータ線14および第2のデータ線15からなる多重配線からなる冗長配線構造になっているため、実施例1と同様に、いずれか一方に断線が発生しても、データ線2a、2b・・・自身が断線になることがない。

【0036】なお、本例の液晶表示パネルの製造方法においても、駆動回路側の各配線層19、20、21およびマトリクスアレイ側を形成する工程のうち、同一材料を用いて層を形成する工程同士については、工程を援用し合う。すなわち、同じ不純物ドーパ型多結晶シリコンを用いる第1の配線層19の形成工程と、ゲート5およびゲート線3a、3b・・・の形成工程とを同一工程として、同じアルミニウムを用いる第2のデータ線15の



形成工程と、第2の配線層20の形成工程とを同一工程として、同じITOを用いる画素電極6の形成工程と、第3の配線層21の形成工程とを同一工程として行う。

【0037】このように、本例においても、駆動回路を形成する工程のうちの3工程を援用して、マトリクスアレイ側の層を形成することができ、それらのうちの1工程によって、冗長配線構造を構成する第2のデータ線15を形成しているため、製造工程数を不必要に増やすことなく、冗長配線構造の信号線2a、2b・・・を形成することができる。

【0038】なお、実施例1および実施例2に係る液晶表示パネルに用いた材料の組合せの他に、第1および第2のデータ線のうちの少なくとも1層が、駆動回路側の各配線層のうちのいずれかの層と同一材料から構成されていれば、たとえば、ゲート5およびゲート線3a、3b・・・に不純物ドーパ型多結晶シリコン層、第1のデータ線14にクロム層、第2のデータ線15にアルミニウム層を用いる一方、第1の配線層19に、ゲート5およびゲート線3a、3b・・・とは異なる種類の不純物ドーパ型多結晶シリコン層、第2の配線層20にゲート5およびゲート線3a、3b・・・と同じ種類の不純物ドーパ型多結晶シリコン層、第3の配線層21に第2のデータ線15と同じアルミニウム層を用いてもよい。この場合には、第2の配線層20を形成する工程と、ゲート5およびゲート線3a、3b・・・を形成する工程とを同一工程として同時に行い、第3の配線層21を形成する工程と、第2のデータ線15を形成する工程とを同一工程として同時に行う。

【0039】また、ゲート5およびゲート線3a、3b・・・に不純物ドーパ型多結晶シリコン層、第1のデータ線14にアルミニウム層、第2のデータ線15にもアルミニウム層を用いる一方、第1の配線層19に、ゲート5およびゲート線3a、3b・・・とは同じ種類の不純物ドーパ型多結晶シリコン層、第2の配線層20に第1のデータ線14と同じアルミニウム層、第3の配線層21に第2のデータ線15と同じアルミニウム層を用いてもよい。この場合には、第1の配線層19を形成する工程と、ゲート5およびゲート線3a、3b・・・を形成する工程、第2の配線層20を形成する工程と、第1のデータ線14を形成する工程、第3の配線層21を形成する工程と、第2のデータ線15を形成する工程とを同一工程として同時に行う。

【0040】さらには、第1のデータ線に対しても、不純物ドーパ型多結晶シリコン層などを用いることもできる。

【0041】なお、液晶表示パネルの各領域、各層の配置、形状などは、製造すべき液晶表示パネルのサイズ、用途などによって、所定の条件に設定されるべき性質のものであり、限定のないものである。

【0042】

【発明の効果】以上のとおり、本発明に係る液晶表示パネルにおいては、同一透明基板上に、第1および第2のデータ線からなる2重配線構造のデータ線を備えるマトリクスアレイと、3層配線構造の駆動回路とが形成されており、第1および第2のデータ線のうちの少なくとも1層は、駆動回路側の各配線層のうちのいずれかの層と同時形成されて同一材料から構成されていることに特徴を有するので、以下の効果を奏する。

【0043】① 駆動回路の配線層が3層配線構造になっているため、各配線層間のピッチを狭くできるので、マトリクスアレイの微細化に十分に対応でき、液晶表示パネルの高精細化を実現できる。また、駆動回路の形成領域が狭いので、表示部の面積を狭めることなく、液晶表示パネルのサイズを縮小できる。

【0044】② 駆動回路が3層配線構造であること、すなわち、駆動回路の配線層を形成する工程を3回行うため、そのうち、2重配線構造のデータ線を形成するのに適した工程を援用して、第1のデータ線または第2のデータ線を形成することができる。従って、第1のデータ線および第2のデータ線を個々の工程により形成する製造方法と異なり、冗長配線構造のデータ線を少ない工程数で形成できる。

【0045】③ 駆動回路側の配線層とマトリクスアレイ側の配線層とが、対応するいずれの配線層同士も同一材料で同時形成される場合には、最小限の工程数で、駆動回路の3層配線構造およびデータ線の冗長配線構造を形成できる。

【図面の簡単な説明】

【図1】本発明の実施例1に係るドライバ内蔵型液晶表示パネルのマトリクスアレイの一部を示す平面図である。

【図2】図1のI-I線における断面図である。

【図3】(a)ないし(d)のいずれも、本発明の実施例1に係るドライバ内蔵型液晶表示パネルのマトリクスアレイの製造工程の一部を示す工程断面図である。

【図4】本発明の実施例2に係るドライバ内蔵型液晶表示パネルのマトリクスアレイの一部を示す断面図である。

【図5】ドライバ内蔵型液晶表示パネルのマトリクスアレイおよび駆動回路を模式的に示す等価回路図である。

【図6】従来のドライバ内蔵型液晶表示パネルのマトリクスアレイの一部を示す断面図である。

【符号の説明】

1a、1b・・・画素領域

2a、2b・・・データ線

3a、3b・・・ゲート線

4・・・ソース

5・・・ゲート

6・・・画素電極

7・・・ドレイン

11

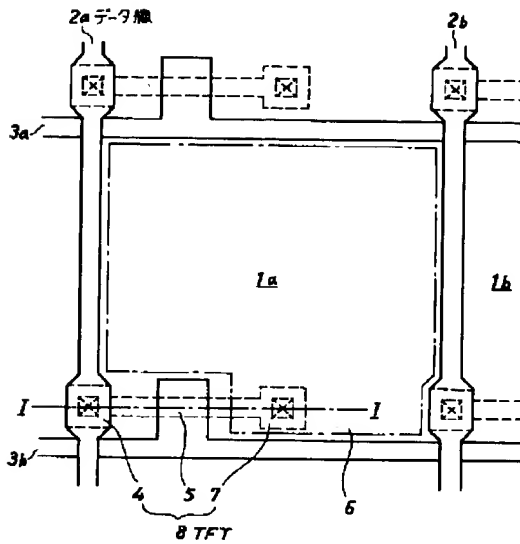
8 . . . T F T

13 . . . 第1の層間絶縁膜 (下層側層間絶縁膜)

14 . . . 第1のデータ線

15 . . . 第2のデータ線

【図1】



12

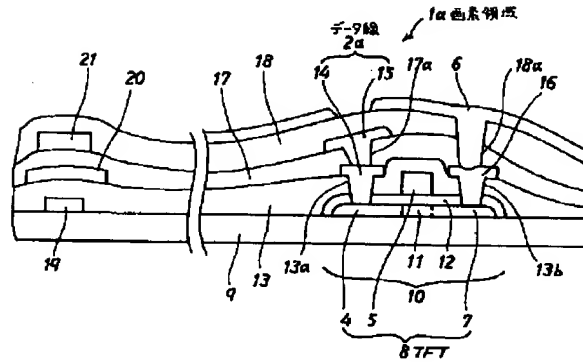
17 . . . 第2の層間絶縁膜 (上層側層間絶縁膜)

19 . . . 第1の配線層

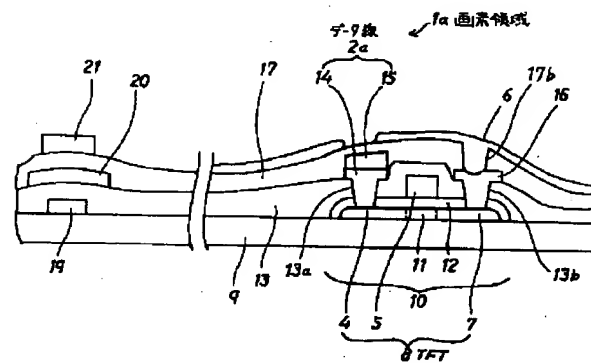
20 . . . 第2の配線層

21 . . . 第3の配線層

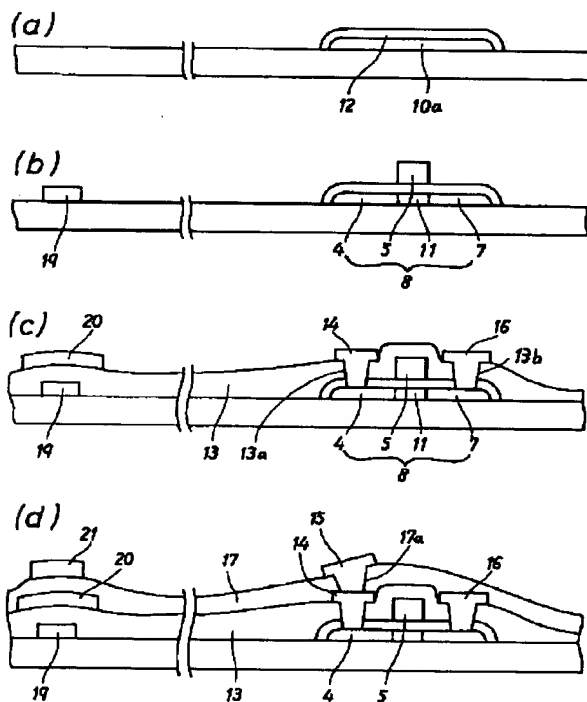
【図2】



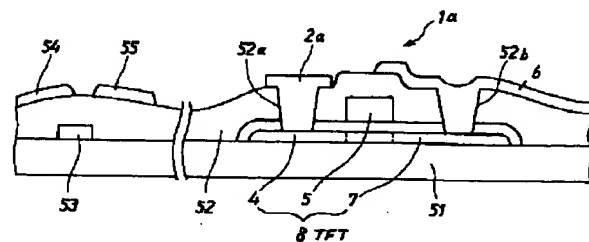
【図4】



【図3】



【図6】



【図5】

